

Docket No.: SON-2998  
(PATENT)

**IN THE UNITED STATES PATENT AND TRADEMARK OFFICE**

In re Patent Application of:  
Kou Nagata, et al

Art Unit: N/A

Application No.: Not Yet Assigned

Filed: April 14, 2004

For: SEMICONDUCTOR MEMORY APPARATUS  
AND SELF-REPAIR METHOD

**CLAIM FOR PRIORITY AND SUBMISSION OF DOCUMENT**

MS Patent Application  
Commissioner for Patents  
P.O. Box 1450  
Alexandria, VA 22313-1450

Dear Sir:

Applicant hereby claims priority under 35 U.S.C. 119 based on the following prior foreign applications filed in the following foreign country on the date indicated:

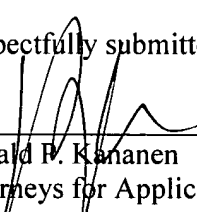
<u>Country</u>	<u>Application No.</u>	<u>Date</u>
Japan	P2003-126520	May 1, 2003

In support of this claim, a certified copy of said original foreign application are filed herewith.

Dated: April 14, 2004

Lion Building  
1233 20<sup>th</sup> Street, N.W., Suite 501  
Washington, D.C. 20036  
Tel: (202) 955-3750  
Fax: (202) 955-3751

Respectfully submitted,

By   
Ronald P. Kananen  
Attorneys for Applicant  
**RADER, FISHMAN & GRAUER, PLLC**  
Registration No.: 24,104  
(202) 955-3750

Customer No. 23353

日 本 国 特 許 庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日            2 0 0 3 年    5 月    1 日  
Date of Application:

出 願 番 号            特 願 2 0 0 3 - 1 2 6 5 2 0  
Application Number:  
[ST. 10/C]:            [ J P 2 0 0 3 - 1 2 6 5 2 0 ]

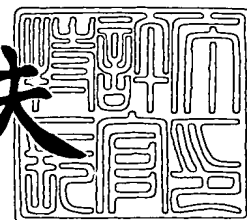
出    願    人            ソニー株式会社  
Applicant(s):



2 0 0 4 年    2 月 2 3 日

特許庁長官  
Commissioner,  
Japan Patent Office

今 井 康 夫



【書類名】 特許願

【整理番号】 0290771803

【提出日】 平成15年 5月 1日

【あて先】 特許庁長官 殿

【国際特許分類】 G11C 29/00  
G01R 31/28

【発明者】

【住所又は居所】 神奈川県横浜市保土ヶ谷区神戸町 1 3 4 番地 ソニー・  
エルエスアイ・デザイン株式会社内

【氏名】 永田 公

【発明者】

【住所又は居所】 東京都品川区北品川 6 丁目 7 番 3 5 号 ソニー株式会社  
内

【氏名】 児玉 裕秋

【特許出願人】

【識別番号】 000002185

【氏名又は名称】 ソニー株式会社

【代理人】

【識別番号】 100086298

【弁理士】

【氏名又は名称】 船橋 國則

【電話番号】 046-228-9850

【手数料の表示】

【予納台帳番号】 007364

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9904452

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体記憶装置およびそのセルフリペア方法

【特許請求の範囲】

【請求項 1】 複数のメモリセルを行列状に配置したメモリコアと、当該メモリコアの中に発生した異常セルをリペアするための冗長セルからなる冗長線を有するブロックを単位とし、この単位ブロックがさらに 1 つ、あるいは複数行列状に配置されるとともに、前記単位ブロックを第 1 方向（行方向または列方向）または第 2 方向（列方向または行方向）の 1 次元で複数個ずつグループ化し、各グループ内の複数の単位ブロックに対して冗長線を共通に使用してなるメモリ部と、

前記メモリ部と同じチップ上に搭載され、前記メモリセル個々の良否を評価する内蔵セルフテスト手段と、

前記メモリ部と同じチップ上に搭載され、前記内蔵セルフテスト手段から渡される異常セルの第 1 方向アドレス（行アドレスまたは列アドレス）および第 2 方向アドレス（列アドレスまたは行アドレス）からなるアドレスペアのうち、異常セルをリペアする冗長線を決定するために必要最低限のアドレスペアのみを前記単位ブロック毎に第 1 記憶手段に格納し、当該第 1 記憶手段に格納したアドレスペアを基に、異常セルをリペアする冗長線のアドレスを前記各グループ毎に計算する内蔵セルフリペア手段と

を備えたことを特徴とする半導体記憶装置。

【請求項 2】 前記内蔵セルフリペア手段は、前記単位ブロックが第 2 方向でグループ化されており、第 2 方向の冗長線がこのグループ内で共通して使用されているとき、このグループ化された単位ブロックすべてについて前記第 1 記憶手段の各々に格納されているアドレスペアのうち、第 2 方向アドレスが取り得る最大数の個数だけ第 2 方向アドレスを格納できる第 1 格納部と、前記最大数と同じ数の段数からなるシフトレジスタを第 2 方向の冗長線の数だけ持ち、各シフトレジスタがシフトを行うことによって前記第 1 格納部に格納されている第 2 方向アドレスを順に指す第 1 シフトレジスタ部とを有し、

前記第 1 シフトレジスタ部の各シフトレジスタを 1 本ずつシフトすることによ

って第2方向アドレスのアドレスセットのパターンを生成する

ことを特徴とする請求項1記載の半導体記憶装置。

【請求項3】 前記内蔵セルフリペア手段は、生成した第2方向アドレスのアドレスセットを単位ブロックのすべてに通知し、当該第2方向アドレスと同じ第2方向アドレスを持つアドレスペアがあれば、これは第2方向の冗長線によってリペアされたと仮定し、リペアされずに残ったアドレスペアが第1方向の冗長線でリペア可能か否かを確認する

ことを特徴とする請求項2記載の半導体記憶装置。

【請求項4】 前記内蔵セルフリペア手段は、第2方向の冗長線によってリペアされずに残ったアドレスペアが第1方向の冗長線によってリペア可能か否かを確認する手段として、第1方向アドレスを各単位ブロック毎に用意されている第1方向の冗長線の数だけ格納する第2格納部を単位ブロック毎に有し、前記第2方向の冗長線によってリペアされずに残ったアドレスペアの第1方向アドレスを、前記第2格納部に既に同じ第1方向アドレスが存在する場合は無視しながら転送し、当該第2格納部に入りできればリペア可能、入り切れなければリペア不可能として判断する

ことを特徴とする請求項3記載の半導体記憶装置。

【請求項5】 前記内蔵セルフリペア手段は、第1方向用のシフトレジスタを各単位ブロック毎に独立して第1方向の冗長線の数だけ有し、前記第1方向用のシフトレジスタをシフトさせながら当該シフトレジスタが示す第1方向アドレスを第1方向リペアアドレスとして、前記第2方向リペアアドレスによりリペアされずに残ったアドレスペアがすべて第1方向の冗長線にてリペア可能か否かを判断し、リペア可能でなければさらに、前記第1方向用のシフトレジスタをシフトしてリペア可能か否かを調べる

ことを特徴とする請求項3記載の半導体記憶装置。

【請求項6】 前記第1シフトレジスタ部の各シフトレジスタは、第2方向アドレスの数+1段のレジスタ段を有し、+1段目のレジスタ段によって第2方向の冗長線を使用しないという状態を示す

ことを特徴とする請求項2記載の半導体記憶装置。

【請求項 7】 前記内蔵セルフリペア手段は、前記第 1 シフトレジスタ部の複数のシフトレジスタを第 1 シフトレジスタ、第 2 シフトレジスタ、第 3 シフトレジスタ、…とすると、第 1 シフトレジスタを固定して第 2 シフトレジスタ、第 3 シフトレジスタ、…をシフトしていった後、第 1 シフトレジスタをシフトし、その際第 2 シフトレジスタは第 1 シフトレジスタのシフト位置あるいはその次のシフト位置からシフトをはじめ、第 3 シフトレジスタは第 2 シフトレジスタのシフト位置あるいはその次のシフト位置からシフトをはじめ

ことを特徴とする請求項 2 記載の半導体記憶装置。

【請求項 8】 前記内蔵セルフリペア手段は、前記単位ブロックが第 2 方向でグループ化されているとき、このグループ化された単位ブロックすべてについて前記第 1 記憶手段の各々に格納されているアドレスペア毎に設けられたフラグがチェーン状にすべての単位ブロックに亘って接続されてなるシフトレジスタを第 2 方向の冗長線の数だけ持つ第 2 シフトレジスタ部を有し、前記第 2 シフトレジスタ部の各シフトレジスタを 1 本ずつシフトすることによって第 2 方向アドレスのアドレスセットを生成する

ことを特徴とする請求項 1 記載の半導体記憶装置。

【請求項 9】 前記第 2 シフトレジスタ部の各シフトレジスタは、グループ内すべての単位ブロックに格納されるアドレスペアの総数あるいは総数+1 の段数を有し、+1 段目のレジスタ段によって第 2 方向の冗長線を使用しないという状態を示す

ことを特徴とする請求項 8 記載の半導体記憶装置。

【請求項 10】 前記内蔵セルフリペア手段は、前記第 2 シフトレジスタ部の複数のシフトレジスタを第 1 シフトレジスタ、第 2 シフトレジスタ、第 3 シフトレジスタ、…とすると、第 1 シフトレジスタを固定して第 2 シフトレジスタ、第 3 シフトレジスタ、…をシフトしていった後、第 1 シフトレジスタをシフトし、その際第 2 シフトレジスタは第 1 シフトレジスタのシフト位置あるいはその次のシフト位置からシフトをはじめ、第 3 シフトレジスタは第 2 シフトレジスタのシフト位置あるいはその次のシフト位置からシフトをはじめ

ことを特徴とする請求項 8 記載の半導体記憶装置。

【請求項 1 1】 前記内蔵セルフリペア手段は、各単位ブロック内の前記第 1 記憶手段に格納されているアドレスペアの第 2 方向アドレスについて、同じ第 2 方向アドレスが 2 つ以上格納されていることを表す重複フラグが各アドレスペア毎にある場合、前記第 2 シフトレジスタ部の各シフトレジスタをシフトしていく際に、前記重複フラグが立っていればこれを無視して次にシフトを進める

ことを特徴とする請求項 8 記載の半導体記憶装置。

【請求項 1 2】 前記内蔵セルフリペア手段は、前記第 2 シフトレジスタ部の各シフトレジスタが指す第 2 方向アドレスを単位ブロックのすべてに通知し、その際に同じ第 2 方向アドレスが他の単位ブロックにあれば、この他の単位ブロックの前記重複フラグを立てる

ことを特徴とする請求項 1 1 記載の半導体記憶装置。

【請求項 1 3】 前記内蔵セルフリペア手段は、前記第 2 シフトレジスタ部をシフトさせながら当該シフトレジスタ部が示す第 2 方向アドレスを、第 2 方向の冗長線のリペアアドレスとして各単位ブロックに通知し、同じ第 2 方向アドレスがあればこれはリペアできたと仮定し、残りのアドレスペアが第 1 方向の冗長線によってすべてリペア可能か否かを判断し、リペア不可能であれば、前記第 2 シフトレジスタ部をシフトして再度リペア可能か否かを調べる

ことを特徴とする請求項 8 記載の半導体記憶装置。

【請求項 1 4】 前記内蔵セルフリペア手段は、第 2 方向アドレスのアドレスセットを第 2 方向リペアアドレスとして各単位ブロックに通知する際、同じ第 2 方向アドレスがあるか否かを示す専用のフラグを各単位ブロックの各アドレスペア毎に有する

ことを特徴とする請求項 8 記載の半導体記憶装置。

【請求項 1 5】 複数のメモリセルを行列状に配置したメモリコアと、当該メモリコアの中に発生した異常セルをリペアするための冗長セルからなる冗長線を有するブロックを単位とし、この単位ブロックがさらに 1 つ、あるいは複数行列状に配置されるとともに、前記単位ブロックを第 1 方向（行方向または列方向）または第 2 方向（列方向または行方向）の 1 次元で複数個ずつグループ化し、各グループ内の複数の単位ブロックに対して冗長線を共通に使用してなるメモリ



部と、

前記メモリ部と同じチップ上に搭載され、前記メモリセル個々の良否を評価する内蔵セルフテスト手段とを備えた半導体記憶装置におけるセルフリペア方法であって、

前記内蔵セルフテスト手段から渡される異常セルの第1方向アドレス（行アドレスまたは列アドレス）および第2方向アドレス（列アドレスまたは行アドレス）からなるアドレスペアを各单位ブロック毎に第1記憶手段に格納する第1の工程と、

前記単位ブロックが第2方向でグループ化されているとき、前記第1記憶手段に格納されているアドレスペアの第2方向アドレスに基づいて当該第2方向アドレスのアドレスセットのパターンを生成する第2の工程と、

前記第2の工程で生成した第2方向アドレスのアドレスセットをすべての単位ブロックに対して通知し、このアドレスセットでリペアしきれない異常セルのアドレスペアを第1方向の冗長線でリペア可能か否かをすべての単位ブロックについて確認する第3の工程と、

前記第3の工程での確認の結果、いずれかの単位ブロックについてリペア不可能であれば、次のアドレスセットを生成して再度すべての単位ブロックについてリペア可能か否かを確認する第4の工程と

の各工程の処理を繰り返して実行し、すべての単位ブロックについてリペア可能か否かを確認する

ことを特徴とするセルフリペア方法。

【請求項16】 前記第1の工程では、前記内蔵セルフテスト手段から渡される異常セルの前記アドレスペアのうち、異常セルをリペアする冗長線を決定するために必要最低限のアドレスペアのみを前記単位ブロック毎に前記第1記憶手段に格納する

ことを特徴とする請求項15記載のセルフリペア方法。

【請求項17】 複数のメモリセルを行列状に配置したメモリコアと、当該メモリコアの中に発生した異常セルをリペアするための冗長セルからなる冗長線を有するブロックを単位とし、この単位ブロックがさらに1つ、あるいは複数行

列状に配置されるとともに、前記単位ブロックを第1方向（行方向または列方向）、第2方向（列方向または行方向）の2次元で複数個ずつグループ化し、各グループ内の複数の単位ブロックに対して第1方向と第2方向の冗長線を共通に使用してなるメモリ部と、

前記メモリ部と同じチップ上に搭載され、前記メモリセル個々の良否を評価する内蔵セルフテスト手段とを備えた半導体記憶装置におけるセルフリペア方法であって、

2次元に1つまたは複数個ずつグループ化されている各単位ブロックについて前記内蔵セルフテスト手段から渡される異常セルの第1方向アドレス（行アドレスまたは列アドレス）および第2方向アドレス（列アドレスまたは行アドレス）からなるアドレスペアを、第1方向に複数個並んでいる単位ブロックを第2方向アドレスを圧縮することによって見かけ上1個しかないようにして、第2方向に1次元に単位ブロックが並んでいるように見せて、この見かけ上の単位ブロック毎に異常セルのアドレスペアを第1記憶手段に格納する第1の工程と、

前記第1記憶手段に格納されているアドレスペアの第2方向アドレスに基づいて当該第2方向アドレスのアドレスセットのパターンを生成する第2の工程と、

前記第2の工程で生成した第2方向アドレスのアドレスセットをすべての単位ブロックに対して通知し、このアドレスセットでリペアしきれない異常セルのアドレスペアを第1方向の冗長線でリペア可能か否かをすべての単位ブロックについて確認する第3の工程と、

前記第3の工程での確認の結果、いずれかの単位ブロックについてリペア不可能であれば、次のアドレスセットを生成して再度すべての単位ブロックについてリペア可能か否かを確認する第4の工程と、

の各工程の処理を繰り返して実行し、すべての単位ブロックについてリペア可能か否かを確認する

ことを特徴とするセルフリペア方法。

【請求項18】 前記第1の工程では、前記内蔵セルフテスト手段から渡される異常セルの第1、第2方向のアドレスペアのうち、異常セルをリペアする冗長線を決定するために必要最低限のアドレスペアのみをアドレス変換して前記見

かけ上の単位ブロック毎に前記第 1 記憶手段に格納する

ことを特徴とする請求項 1 7 記載のセルフリペア方法。

【発明の詳細な説明】

【 0 0 0 1 】

【発明の属する技術分野】

本発明は、D R A M (Dynamic Random Access Memory)、S R A M (Static Random Access Memory)等の半導体記憶装置および当該半導体記憶装置におけるセルフリペア方法に関し、特に不良（欠陥）メモリセルをあらかじめ搭載された冗長メモリセルに置換するための冗長サーチ回路を備えた半導体記憶装置および当該半導体記憶装置におけるセルフリペア方法に関する。

【 0 0 0 2 】

【従来の技術】

D R A M等の半導体記憶装置においては、近年、集積度が非常に増大してきており、それに伴って歩留まりが製造上大きな課題になってきている。歩留まりを 1 0 0 %にすることは現実問題として不可能に近く、不良のメモリセル（以下、「異常ビット」と呼ぶ場合もある）が存在することを前提としているのが現状である。しかし、不良のメモリセルが存在すれば、当然製品として出荷する訳にはいかない。

【 0 0 0 3 】

したがって、実際には、スペアのメモリセルを幾つか用意しており、不良のメモリセルがみつければ、これをスペアのメモリセルで置換することで、不良チップの救済を図っている。具体的には、冗長線としてスペアのメモリセルを余分に用意しておき、不良のメモリセルがあれば、それをビット線あるいはアドレス線単位でスペアのメモリセルと置換することによって実現している。従来、メモリセルの良／不良の判断は、工場出荷段階において、外部のメモリテストを用いて行われていた。

【 0 0 0 4 】

一方、近年、L S I 技術が飛躍的に向上し、それに伴い複数のメモリとロジック部を同時に L S I チップ上に混載するケースが増え、個々のメモリを独立して

テストすることが事実上困難になってきている。また、LSIの実行速度が速くなるにつれ、外部のメモリテストを用いてテスト評価することが難しい。そのため、LSI内蔵型のメモリテスト手法が不可欠となっている。また、外部のメモリテストを用いてテスト評価することができたとしても、そのようなメモリテストは非常に高価である。したがって、LSI製作において、テストにかかるコストが近年非常に増大しつつあることから、LSIの実行速度で高速にテストができ、しかも安価に実現できる方法が望まれている。

#### 【0005】

半導体記憶装置のテスト評価に関しては、先述したように、1ビット（メモリセル）ごとにメモリセルの良／不良の評価をしていくことになるが、その評価を行う部分をLSIに内蔵したものを一般にBIST(built-in self test;内蔵セルフテスト)と呼んでいる。現状は、市販のテスト回路はSRAM向けが主で、DRAM向けは、各メーカーがそれぞれ独自のDRAMアーキテクチャ用に開発している。

#### 【0006】

BIST回路は、メモリに異常（欠陥あるいは不良）ビットがあるか、異常ビットがあれば、どのアドレスのビット（メモリセル）に異常があるかを調べるためのものである。半導体記憶装置には、BIST回路で見つけた異常ビットを修復するためにダミーのビット線あるいはワード線が用意されている。このダミーのビット線あるいはワード線を冗長線と呼ぶ。BIST回路では、異常ビットを見つけるだけの処理が行われる。したがって、冗長線をどのように使用するかを実際に決定するのはその後の処理になる。

#### 【0007】

冗長線は複数本、コラム（COLUMN）方向とロウ（ROW）方向に用意されている。したがって、どの異常ビットをどの冗長線で補間するかを決定しなければならない。このように、いずれかの冗長線で異常ビットを補間することをリペアと呼び、また異常ビットを補間するのにどの冗長線を使用するかを決定することをリペアサーチと呼ぶ。また、LSIチップ上で、マスクアドレスを決定した後、実際にリペアを完了するところまで行うことをBISR(built-in self r

epair;内蔵セルフリペア)あるいはセルフリペアと呼ぶ。

#### 【0008】

外部のメモリテストを用いる場合、リペアサーチの計算を外部のメモリテストのコンピュータを使用して行っている（例えば、特許文献1参照）。また、内蔵するBIST回路に対して、異常ビットが存在するか否かの評価機能に加えて、異常ビットを補間するのにどの冗長線を使用するかを決定するリペアサーチ（冗長解析）機能をも持たせている（例えば、特許文献2参照）。

#### 【0009】

##### 【特許文献1】

特開平7-146340号公報

##### 【特許文献2】

特開2002-117697号公報

#### 【0010】

##### 【発明が解決しようとする課題】

しかしながら、BIST回路を内蔵したLSIの場合でも、特許文献1記載の従来技術のように、各々の異常ビットの情報を外部に取り出し、外部のコンピュータで計算させる構成を採ると、すべての各アドレスについてビットの正常／異常の情報を外部コンピュータのメモリ上にもたせることになるため、メモリ容量を多量に消費し、計算にも非常に時間がかかることになる。

#### 【0011】

また、特許文献2記載の従来技術のように、内蔵するBIST回路にリペアサーチ機能を持たせた場合であっても、リペア可能な組み合わせとして複数（この例では、6種類）の組み合わせが考えられ、それらのすべての組み合わせについてアドレスを格納する場所を用意して、6種類すべてについて同時にリペア可能性について確認する手法を採っているため、回路規模がそれだけ大きくなることが考えられる。

#### 【0012】

本発明は、上記課題に鑑みてなされたものであり、その目的とするところは、内蔵するBIST回路にリペアサーチ機能を持たせた場合において、特に、1方

向で冗長線を共有する場合（1 方向串刺し）において、小さな回路規模にて高速にリペアサーチを行うことが可能な半導体記憶装置および完全なオンチップ上でのセルフリペアを行うことが可能なセルフリペア方法を提供することにある。

### 【 0 0 1 3 】

#### 【課題を解決するための手段】

本発明による半導体記憶装置は、複数のメモリセルを行列状に配置したメモリコアと、当該メモリコアの中に発生した異常セルをリペアするための冗長セルからなる冗長線を有するブロックを単位とし、この単位ブロックがさらに1つ、あるいは複数行列状に配置されるとともに、前記単位ブロックを第1方向（行方向または列方向）または第2方向（列方向または行方向）の1次元で複数個ずつグループ化し、各グループ内の複数の単位ブロックに対して冗長線を共通に使用してなるメモリ部と、前記メモリ部と同じチップ上に搭載され、前記メモリセル個々の良否を評価する内蔵セルフテスト手段と、前記メモリ部と同じチップ上に搭載され、前記内蔵セルフテスト手段から渡される異常セルの第1方向アドレス（行アドレスまたは列アドレス）および第2方向アドレス（列アドレスまたは行アドレス）からなるアドレスペアのうち、異常セルをリペアする冗長線を決定するために必要最低限のアドレスペアのみを前記単位ブロック毎に第1記憶手段に格納し、当該第1記憶手段に格納したアドレスペアを基に、異常セルをリペアする冗長線のアドレスを前記各グループ毎に計算する内蔵セルフリペア手段とを備えたことを特徴としている。ここで言う必要最低限のアドレスペアとは、例えば、行方向の冗長線の本数を $m$ 、列方向の冗長線の本数を $n$ とすると、前記記憶手段は、前記アドレスペアを格納するバッファ量として各単位ブロック毎に $2 \times m \times n$ 個のバッファ量を用意すれば良いことを意味する。

### 【 0 0 1 4 】

上記構成の半導体記憶装置において、メモリ部は、単位ブロックが行列状に配置されてなり、個々の単位ブロックは行列状に配置された複数個のメモリセルと共に冗長セルからなる冗長線を有している。そして、単位ブロックの各々は、第1方向または第2方向の1次元で複数個ずつグループ化され、各グループ毎に複数の単位ブロックで冗長線を共通に使用している。内蔵セルフテスト手段は、メ

メモリ部の個々のメモリセルの良否を評価し、異常セルのアドレス情報を内蔵セルフリペア手段に渡す。これを受けて、内蔵セルフリペア手段は、異常セルをリペアする冗長線を決定するために必要最低限のアドレスペアのみを単位ブロック毎に第1記憶手段に格納し、当該第1記憶手段に格納したアドレスペアを基に、異常セルをリペアする冗長線のアドレスを各グループ毎に計算する。このように、必要最低限のアドレス情報のみを格納することで、バッファの容量が少なく済むため、回路規模を小さくできる。また、メモリ部と同一のチップ上において、リペアサーチが行われるため、処理の高速化を図ることができる。

#### 【0015】

#### 【発明の実施の形態】

以下、本発明の実施の形態について図面を参照して詳細に説明する。

#### 【0016】

図1は、本発明の一実施形態に係る半導体記憶装置の構成例を示すブロック図である。図1から明らかなように、本実施形態に係る半導体記憶装置(LSI)は、DRAMやSRAM等のRAM(メモリ部)10、BIST(内蔵セルフテスト)回路20およびBISR回路30を有し、これら構成要素が同一のLSIチップ上に搭載された構成となっている。

#### 【0017】

RAM10は、一般に、図2に示すように、複数のメモリセルが行列状に配置されてなるメモリコアと、当該メモリコアの中に発生した異常セルをリペアするための冗長セルからなる冗長線とを有する個々の小さい単位ブロック(以下、「冗長ブロック」と呼ぶ)11からなり、これら冗長ブロック11がさらに行列状に多数(1つの場合もある)配列された構成となっている。ここで、理想的には、個々の冗長ブロック11毎にロウ(ROW)、コラム(COLUMN)それぞれに対してA1(アルミ)等の配線による機械的ヒューズ12、13を用い、個々の冗長ブロック独立にリペアできるのが好ましい。

#### 【0018】

しかし、実際にはヒューズ12、13のサイズが大きいため、実装上の問題から、複数の冗長ブロックに対して冗長線を共通に使用することによって冗長ブ

ックをグループ化し、各グループ毎にヒューズ12, 13を用意した構造を採っている。本実施形態に係る半導体記憶装置においては、図3に示すように、1次元方向に冗長ブロックを共通化し、このブロック化した各冗長ブロックに対して冗長線（ここでは、冗長線14）を共通して使用する構成を想定している。

#### 【0019】

BIST回路20は、上記構成のRAM10におけるメモリセル個々の良否を評価する。具体的には個々の冗長ブロック11中に異常ビット（欠陥メモリセルあるいは不良メモリセル）があるか否かを調べ、異常ビットがあれば、どのアドレスのビットに異常があるかをLSI実行速度で高速に評価する。このBIST回路20で検出された異常ビットのアドレス情報は、BIST回路20からBISR回路30へ渡される。

#### 【0020】

BISR回路30は、リペア機能を実現するために、リペアサーチ回路部31およびBISR制御部32を有する構成となっている。このBISR回路30において、リペアサーチ回路部31は、BIST回路20から渡される異常ビットのアドレス情報をリアルタイムに処理し、使用する冗長線（冗長セル）を決定するために必要最低限のアドレス情報を確定し、この必要最低限のアドレス情報のみをLSIチップ上に設けられたバッファ（メモリ）311に蓄える。異常ビットのアドレス情報は、ロウ（列）、コラム（行）のアドレスデータのペアで表される。このアドレスデータのペアをX, Yアドレスと呼ぶこととする。

#### 【0021】

ここで、個々の冗長ブロック11中に異常ビットが存在するか否かをBIST回路20にてLSI実行速度で調べ、そのアドレス情報をリペアサーチ回路部31にてリアルタイムに処理してバッファ311に蓄える一連の処理について説明する。まず、異常ビットのアドレス情報をチップ上に保存するのに必要なバッファ311の容量（以下、「バッファ量」と記す）について考察する。ただし、バッファ311は、X, Yアドレスをペアで格納するものとする。

#### 【0022】

今、X軸方向（以下、「X方向」と記す）、Y軸方向（以下、「Y方向」と記



す) それぞれについて使用可能な冗長線の数それぞれ  $m$ ,  $n$  とすると、1つの Y アドレス上に異常ビットが  $n+1$  個以上あれば、無条件にこの Y アドレス線を X 方向冗長線によって置換しなければならない。また、同様に 1つの X アドレス上に異常ビットが  $m+1$  個以上あれば、無条件にこの X アドレス線を Y 方向冗長線によって置換しなければならない。

#### 【0023】

よって、Y 方向冗長線 1 本につき必要なバッファ量は  $m$  個、X 方向冗長線 1 本につき必要なバッファ量は  $n$  個あれば良い。何故なら、Y 方向冗長線について考察すると、異常アドレスペアを考えたとき、同じ X アドレスで、Y アドレスが異なるものが  $m$  個まではバッファ 311 に蓄えるが、 $m+1$  個目が来た際は、この X アドレスはリペアアドレスとして確定するため、 $m+1$  個目はバッファ 311 に格納する必要はないためである。X 方向冗長線についても同じである。したがって、X 方向冗長線が  $m$  個あるので、X 方向冗長線について必要なバッファ量は  $m \times n$  個、同様に Y 方向冗長線は  $n$  個あるので、Y 方向冗長線について必要なバッファ量は  $n \times m$  個あれば良い。よって、合計、 $2 \times m \times n$  個のバッファ量を用意すれば良いことになる。

#### 【0024】

一例として、図 3 に示す構成の RAM10 では、 $m$ ,  $n$  が共に 2、即ち冗長線 14, 15 が共に 2 本であるので、この例の場合は、リペアサーチ回路部 31 内のバッファ 311 として、一つの冗長ブロック 11 あたり、結局、8 ( $= 2 \times 2 \times 2$ ) 個の X, Y アドレスのペアを格納するバッファ量のものを用意してやれば良いことになる。

#### 【0025】

図 4 は、リペアサーチ回路部 31 の具体的な構成を示すブロック図である。本例に係るリペアサーチ回路部 31 は、バッファ 311 として、2 本ずつの冗長線 14, 15 に対応して X, Y のアドレス用バッファ 311X, 311Y を 8 個ずつ有するとともに、存在ビット 312、マスクビット 313、D ビット 314 およびオーバーフロービット 315 を有している。マスクビット 313 および D ビット 314 については、X 用 (313X, 314X)、Y 用 (313Y, 314

Y)が存在する。

#### 【0026】

存在ビット312は、X、Yのアドレス用バッファ311X、311Yに格納されたアドレスペアの有効(1)／無効(0)を示すビットである。オーバーフロービット315は、冗長線14、15によって修復(リペア)が可能(0)／不能(1)を決定するビットである。マスクビット313については、これが立っているXまたはYアドレスはマスクアドレス(リペアアドレス)として確定していることを示す。Dビット314については、これが立っているXまたはYアドレスは、そのアドレスが以前に既に入っていて2つ目以降であることを示す。つまり重複ビットを表す。

#### 【0027】

図4において、リペアサーチ回路部31にはBIST回路20から、異常ビットのRAM10上の位置を示すX、Yアドレスと、X、Yアドレスの入力が有効であることを示す有効ビット情報とが入力される。そして、X、Yアドレスの入力が有効である場合、リペアサーチ回路部31では次の(1)～(5)の処理が行われる。

#### 【0028】

(1) X、Yアドレスペアが入力されると、当該アドレスペアがアドレス用バッファ311X、311Yに既にペアとして存在するか否かを判定する。そして、存在すれば、この入力されたX、Yアドレスのペアを破棄する。

#### 【0029】

(2) 入力されたX、Yアドレスペアのうち、いずれか一方のアドレスがマスク(リペア)するアドレスとして確定(以下、「マスク確定」と記す)されたアドレスであるか否か、即ちマスクビット313X、313Yが“1”であるか否かを判定する。そして、マスク確定されたアドレス(以下、「マスクアドレス」と記す)ならば、この入力されたX、Yアドレスペアを破棄する。

#### 【0030】

(3) 上記(1)、(2)のいずれでもなければ、入力されたX、Yアドレスペアを空いているアドレス用バッファ311X、311Yに格納し、存在ビット3

1 2 を “1” にする。ただし、このとき、X アドレスまたは Y アドレスと同じ値が過去に当該バッファ 3 1 1 X, 3 1 1 Y に存在すれば、新たにアドレスペアを格納する際に、X に同じ値があれば X D ビット 3 1 4 X を、Y に同じ値があれば Y D ビット 3 1 4 Y を “1” にし、このアドレスが既に 2 個格納されていることを示す。

#### 【0 0 3 1】

(4) また、入力された X, Y アドレスペアのうち、いずれか一方のアドレスが過去にアドレス用バッファ 3 1 1 X, 3 1 1 Y に格納されていて、その D ビット 3 1 4 X, 3 1 4 Y が “1” になっていれば、入ってきたアドレスは 3 つ目ということになるので、このアドレスについてはマスクアドレスとして確定する。そして、入力された X, Y アドレスペアを破棄し、D ビット 3 1 4 X, 3 1 4 Y が “1” になっていたアドレスのマスクビット 3 1 3 X, 3 1 3 Y を “1” にし、このアドレスがマスクアドレスであることを示す。

#### 【0 0 3 2】

(5) 入力された X, Y アドレスペアをアドレス用バッファ 3 1 1 X, 3 1 1 Y に格納しようとした際に、当該バッファ 3 1 1 X, 3 1 1 Y が既に一杯になっていて、格納するスペースがないときはリペア不能なため、オーバーフロービット 3 1 5 を “1” にしてオーバーフロー（リペア不能）であることを示し、リペーサー回路部 3 1 において実行される一連の処理を終了する。

#### 【0 0 3 3】

ここで、リペーサー回路部 3 1 において実行される上述した一連の処理について、数値例を挙げてさらに具体的に説明する。ある一つの冗長ブロックにおいて、異常ビットの X, Y アドレスのペアが、一例として、(1 2, 5)、(6, 5)、(1 2, 8)、(5, 3 5)、(1 2, 6)、(6, 3 5)、(7, 5) の順に B I S T 回路 2 0 からリペーサー回路部 3 1 に送られてきた場合を考える。

#### 【0 0 3 4】

まず、X, Y アドレス (1 2, 5) が入力されると、最初に入力されるアドレスペアであるため、そのまま X, Y のアドレス用バッファ 3 1 1 X, 3 1 1 Y に

格納される。このとき、バッファ 311 X, 311 Y に格納されたアドレスペアが有効であるため存在ビット 312 が “1” になる。

#### 【0035】

次に、X, Y アドレス (6, 5) が入力されると、当該アドレスはまだペアとしてアドレス用バッファ 311 X, 311 Y に格納されておらず、いずれのアドレスもまだマスクアドレスとして確定されていないため、そのままバッファ 311 X, 311 Y に格納されるとともに、存在ビット 312 が “1” になる。このとき、Y のアドレス用バッファ 311 Y に同じアドレスの 5 が既に格納されているため YD ビット 314 Y が “1” になる。

#### 【0036】

次に、X, Y アドレス (12, 8) が入力されると、当該アドレスはまだペアとしてアドレス用バッファ 311 X, 311 Y に格納されておらず、いずれのアドレスもまだマスクアドレスとして確定されていないため、そのままアドレス用バッファ 311 X, 311 Y に格納されるとともに、存在ビット 312 が “1” になる。このとき、X のアドレス用バッファ 311 X に同じアドレスの 12 が既に格納されているため XD ビット 314 X が “1” になる。

#### 【0037】

次に、X, Y アドレス (5, 35) が入力されると、当該アドレスはまだペアとしてアドレス用バッファ 311 X, 311 Y に格納されておらず、いずれのアドレスもまだマスクアドレスとして確定されていないため、そのままアドレス用バッファ 311 X, 311 Y に格納されるとともに、存在ビット 312 が “1” になる。

#### 【0038】

次に、X, Y アドレス (12, 6) が入力されると、X アドレスの 12 は既に格納されていて、また XD ビットが “1” になっているアドレスペアが存在している（以前に (12, 8) で入ったペア）。したがって、今回入ってきたアドレスペア (12, 6) の X アドレス 12 は 3 つ目であり、同じ X アドレス（この場合、12）で Y アドレスが異なるものが 3 つあることになる。よって、この (12, 6) のペアについては破棄し、XD ビットが “1” になっているアドレスペ

ア (12, 8) の X マスクビット 313 X を “1” にする。

【0039】

次に、X、Y アドレス (6, 35) が入力されると、当該アドレスはまだペアとしてアドレス用バッファ 311 X, 311 Y に格納されておらず、いずれのアドレスもまだマスクアドレスとして確定されていないため、そのままバッファ 311 X, 311 Y に格納されるとともに、存在ビット 312 が “1” になる。またこのとき、X アドレスの 6、Y アドレスの 35 はともに、以前にすでにバッファに格納されており、今回の入力 X, Y とともに 2 つ目である。よって、XD ビット 314 X、YD ビット 314 Y とともに “1” になる。

【0040】

最後に、X、Y アドレス (7, 5) が入力されると、Y アドレスの 5 は既に格納されていて、また YD ビットが “1” になっているアドレスペアが存在している (以前に (6, 5) で入ったペア)。したがって、今回入ってきたアドレスペア (7, 5) の Y アドレス 5 は 3 つ目であり、同じ Y アドレス (この場合、5) で X アドレスが異なるものが 3 つあることになる。よって、この (7, 5) のペアについては破棄し、YD ビットが “1” になっているアドレスペア (6, 5) の Y マスクビット 313 Y を “1” にする。

【0041】

このように、ある一つの冗長ブロックにおいて、異常ビットの X、Y アドレスのペアが、例えば、(12, 5)、(6, 5)、(12, 8)、(5, 35)、(12, 6)、(6, 35)、(7, 5) の順に BIST 回路 20 から送られてきたときのリペアサーチ回路部 31 での処理結果、即ち当該リペアサーチ回路部 31 内の X、Y のアドレス用バッファ 311 X, 311 Y および各ビット 312 ~ 315 の内容を図 5 に示す。

【0042】

上述したように、RAM 10 と同じ LSI チップ上に、BIST 回路 20 およびリペアサーチ回路部 31 を搭載することで、異常ビットがあるか、あれば、どのアドレスのビットに異常があるかを調べる処理および使用する冗長線を決定するために必要最低限のアドレス情報を確定してこの確定したアドレス情報のみを

バッファ 311 X, 311 Yを始め、マスクビット 313 X, 313 Y等の各ビット（図4参照）に蓄える処理をLSI実行速度で行うことができる。これにより、LSI実行速度での高速動作が可能な高価なメモリテストが不要になる。

#### 【0043】

また、リペアサーチ回路部 31によるチップ上での処理により、冗長線解析に必要な異常ビットのアドレス情報のみを残す構成を採っていることにより、今までのように、すべてのアドレスについての正常／異常の情報を取り込む必要がないため、使用するバッファ（メモリ）の容量を大幅に縮小化できる。また、このことにより、バッファ 311に蓄えられたアドレス情報を基に、使用する冗長線を決定するための計算速度も高速化できる。

#### 【0044】

BISR回路 30は、上述したリペアサーチ回路部 31の機能を使用して、冗長線が複数の冗長ブロック 11に対して串刺しの形で接続されている場合にも、オンチップにてリペアサーチを行い、マスクアドレスを決定するものである。このBISR回路 30の実施例について、例えば4個の冗長ブロック 11に対してロウ冗長線 14が串刺しの形で配線されている場合を例に挙げて説明する。

#### 【0045】

##### （第1実施例）

図6は、第1実施例に係るBISR回路 30Aの構成例を示すブロック図である。図6に示すように、本実施例に係るBISR回路 30Aは、アドレスバッファやフラグ類を含むバッファ部 41-1～41-4と、Xマスクアドレス格納部 42と、Yアドレス確認部 43-1～43-4とから構成される。オーバーフロービットは、BISRの結果がマスク可能か不可能かを示すビットである。

#### 【0046】

BISR回路 30Aには、BIST回路 20においてメモリセル個々の良否の評価が終了すると、当該BIST回路 20からBISRの計算開始を指示するスタート信号BISRSTARTが与えられる。このスタート信号BISRSTARTを受けて、BISR回路 30Aは、BISRの計算を開始する。BISRの計算が終了とすると、BISR回路 30Aは、BISRの計算終了を示すエンド

信号 B I S R E N D を出力する。

【0047】

図6において、バッファ部41-1～41-4の各々は、図4に示すリペアサーチ回路部31に相当している。すなわち、これらバッファ部41-1～41-4には、先述したリペアサーチが実行されることにより、使用する冗長線を決定するために必要最低限のX、Yアドレスペアのみが4個の冗長ブロック11に対応して格納されることになる。なお、Yアドレス確認部43-1～43-4については、各バッファ部41-1～41-4の外に設けるようにしているが、各バッファ部41-1～41-4の中に設けるようにしても良い。

【0048】

Xマスクアドレス格納部42は、Xアドレス格納部421およびシフトレジスタ部422を有している。ここでは、冗長線14、15は、図3に示すように、Y方向（串刺し方向）に2本、X方向には各冗長ブロック11毎に2本ずつ配線されている場合を例に挙げている。この場合、Xアドレスの取り得る数は最大で18個になるので、Xマスクアドレス格納部42のXアドレス格納部421の格納数としては18個あれば良い。

【0049】

Xアドレスの取り得る値の数が最大で18個になる理由は次の通りである。すなわち、Xアドレスが最大個使用されるときの状態は、Y方向の冗長線14が2本とも使用されることでXアドレスが2個、また各冗長ブロック11毎にX方向の冗長線15が2本ずつすべて使用される場合で、このときは1本あたりXアドレス2個ずつバッファ部41-1～41-4に入っているので、1冗長ブロック11あたりXアドレスが4個（＝2本×2個）。これが4冗長ブロック分あるので、Xアドレスが計16個。Y方向の2個と合わせると、Xアドレスが合計18個となる。Xアドレスが19個以上となれば、リペアが不可能となる。

【0050】

シフトレジスタ422部は、Y方向の冗長線14の本数（ここでは、2本）と同じ2本のシフトレジスタを有している。これらシフトレジスタは、Xアドレスの取り得る最大数、即ちXアドレス格納部421の格納数（ここでは、18個）

だけレジスタ段が連なる構成のものであれば良い。ただし、本例では、段数を1段増やして19段のシフトレジスタ構成とし、その増やしたレジスタ（図の一番左のレジスタ）でXマスクアドレスを使用しないという状態を示す構成をとっている。ここで、「Xマスクアドレスを使用しない」とは、「Y方向の冗長線を使用しない」ということを意味している。

#### 【0051】

Yアドレス確認部43-1～43-4は、Xアドレスによってマスク確定されずに残ったアドレスペアのYアドレスを確認するために設けられたものである。Yアドレスを確認するために、Yアドレス確認部43-1～43-4は、Yアドレスを格納するYアドレス格納部431を持っている。ここでは、各冗長ブロック11に対してX方向に2本ずつ冗長線15を設けているため、これに対応してYアドレスを2つ格納できる2つのバッファをYアドレス格納部431として設けている。

#### 【0052】

次に、上記構成のBISR回路30Aにおいて実行される、マスクアドレスを決定する際の具体的な処理手順について説明する。以下の処理は、BISR制御部32（図1参照）による制御の下に行われる。

#### 【0053】

（1）まず、BIST回路20を動作させて、リペアサーチ回路部31のリペアサーチ機能により、4つの冗長ブロック11の各々について、使用する冗長線を決定するために必要最低限の異常ビットのアドレスペアのみをバッファ部41-1～41-4に格納する。

#### 【0054】

（2）次に、すべてのバッファ部41-1～41-4に格納された異常ビットのアドレスペア（X，Yアドレス）のXアドレスをXマスクアドレス格納部42へ転送する。このとき、Xマスクアドレス格納部42には、Xアドレスがすべて互いに異なるように格納する。

#### 【0055】

（3）次に、Xマスクアドレス格納部42において、シフトレジスタ部422の



2つのシフトレジスタの各ポインタを図の一番左のレジスタへ移動させる。この状態をリセット状態とする。このリセット状態では、シフトレジスタ部422の2つのシフトレジスタの各ポインタが、一番左のレジスタにあることで、Xマスクアドレス、即ちY方向の冗長線14を使用しないという状態を示している。

#### 【0056】

(4) 次に、Xマスクアドレス格納部42において、まずこのリセット状態で、各冗長ブロックがマスク可能か否かを確認する。このリセット状態は、Y方向の冗長線14を使用していない場合なので、各バッファ部41-1～41-4のYアドレス確認部43-1～43-4により、Yマスクアドレスのみでマスク可能か否かを調べる。ここで、「Yマスクアドレスのみで」とは、「X方向の各単位ブロック毎の2本の冗長線15のみで」いうことを意味している。もし、Yマスクアドレスのみでマスク不可能であれば次へ進む。

#### 【0057】

(5) Yマスクアドレスのみでマスク不可能であれば、下段のシフトレジスタのポインタを右へシフトさせる。そのとき、下段のシフトレジスタのポインタが指すXアドレス格納部421にXアドレスがあれば、このXアドレスを各バッファ部41-1～41-4に知らせる。これにより、同じXアドレスを持つバッファ部41-1～41-4内のアドレスペアは、このXアドレスによってリペアされる。このとき、リペアされたアドレスペアには印をつける。印をつけるには、例えば、各バッファ部41-1～41-4内の各アドレスペアにその旨を表すビットを設けるようにすれば良い。

#### 【0058】

(6) 次に、上記(5)の処理ではリペアされずに各バッファ部41-1～41-4に残ったアドレスペアをX方向の2本冗長線15ですべてマスクできるか否かを、各バッファ部41-1～41-4のYアドレス確認部43-1～43-4によって確認する。もし、マスク不可能であれば次に進む。

#### 【0059】

(7) 上記(6)の処理でマスク不可能であれば、下段のシフトレジスタのポインタを順次右シフトしていき、上記(6)の確認を繰り返し、右端に行ってもマ

スク不可能であれば、上段のシフトレジスタのポインタを右シフトさせる。その際、下段のシフトレジスタのポインタシフトは左端から再度はじめても良いし、また上段と同じシフト位置、あるいは上段よりひとつ右からはじめるようにしても良い。そして、上段のシフトレジスタのポインタが指すXアドレスおよび下段のシフトレジスタのポインタが指すXアドレスを持つ各バッファ部41-1～41-4内のアドレスペアをY方向の冗長線14でリペアされたと仮定して、残ったアドレスペアをX方向の2本の冗長線15でマスク可能か否かを調べていく。

#### 【0060】

(8) 以下、同様である。途中で4つの冗長ブロック11についてのすべての異常セルがマスク可能となれば、そのときにシフトレジスタ部422の2つのシフトレジスタの各ポインタが指すXアドレスがXマスクアドレスとなる。また、最後まで行ってもすべての異常セルがマスク可能とならなければ、マスク不可能となる。

#### 【0061】

(9) シフトレジスタ部422の上下2段のシフトレジスタが指すXマスクアドレスセットによってリペア可能か否かを調べるには、Xアドレスによってマスク確定されずに残ったアドレスペアのYアドレスを順次冗長ブロックごとにYアドレス格納部431に転送する。同じものが既にあれば、これは無視する。そして、その転送の結果、Yアドレス格納部431の2つのバッファに入りきれば、この冗長ブロックはX方向の2本の冗長線15でマスク可能と判断するが、入りきれなければ、X方向の2本の冗長線15でマスク不可能と判断する。

#### 【0062】

ここで、シフトレジスタ部422のシフトレジスタが19段のときは、Y方向の冗長線14を使用しない状態が与えられるが、18段としても差し支えない。ただし、シフトレジスタが18段の場合は、Y方向の冗長線14は必ず使用されることになる。また、このとき、最後にYアドレス確認部43-1～43-4のYアドレス格納部431に残っているアドレスがYマスクアドレスである。

#### 【0063】

なお、上記第1実施例においては、Y方向（串刺し方向）に2本、X方向に各

冗長ブロック 1 1 毎に 2 本ずつ配線されている場合を例に挙げて説明したが、これに限られるものではなく、X 方向（串刺し方向）に 2 本、Y 方向は各冗長ブロック 1 1 毎に 2 本ずつ配線されている場合にも同様に適用可能である。また、冗長線の本数についてもそれぞれ 2 本に限られるものではない。これらの点については、以下に説明する各実施例においても同様のことが言える。

#### 【 0 0 6 4 】

ただし、冗長線の本数が 2 本でない場合には、X アドレス（または、Y アドレス）の取り得る最大数が変わってくるため、当然のことながら、その取り得る最大数に応じて X アドレス格納部 4 2 1 の格納数、シフトレジスタ部 4 2 2 のシフトレジスタ本数や段数も変わってくる。シフトレジスタ部 4 2 2 のシフトレジスタ本数が 3 本以上となる場合には、それらを第 1 シフトレジスタ、第 2 シフトレジスタ、第 3 シフトレジスタ、…とすると、第 1 シフトレジスタを固定して第 2 シフトレジスタ、第 3 シフトレジスタ、…をシフトしていった後、第 1 シフトレジスタをシフトし、その際第 2 シフトレジスタは第 1 シフトレジスタのシフト位置あるいはその次のシフト位置からシフトをはじめ、第 3 シフトレジスタは第 2 シフトレジスタのシフト位置あるいはその次のシフト位置からシフトをはじめのようにすれば良い。こうすることにより、X アドレスの組み合わせとして同じものが再度発生しないため、リペアサーチに要する時間を短縮できる。

#### 【 0 0 6 5 】

##### （第 2 実施例）

図 7 は、第 2 実施例に係る B I S R 回路 3 0 B の構成例を示すブロック図であり、図中、図 6 と同等部分には同一符号を付して示している。図 7 から明らかなように、本実施例に係る B I S R 回路 3 0 B は、バッファ部 4 1 - 1 ~ 4 1 - 4 および Y アドレス確認部 4 3 - 1 ~ 4 3 - 4 から構成されている。バッファ部 4 1 - 1 ~ 4 1 - 4 内には、各バッファ内のアドレスペア毎にフラグを設け、これらをすべてチェーン状に繋いだシフトレジスタが Y 方向の冗長線 1 4 の数（ここでは 2 本）だけあり、これらのシフトレジスタは各バッファ部 4 1 - 1 ~ 4 1 - 4 間も接続されている。これらのシフトレジスタをシフトレジスタ部 4 1 1 とする。また、各バッファ部 4 1 - 1 ~ 4 1 - 4 内には、説明の都合上、前記 X D ビ

ット 4 1 2 (X D ビット 3 1 4 X と同じ) についても示してある。

【0066】

次に、上記構成の B I S R 回路 3 0 B において実行される、マスクアドレスを決定する際の具体的な処理手順について説明する。以下の処理は、B I S R 制御部 3 2 (図 1 参照) による制御の下に行われる。

【0067】

(1) まず、B I S T 回路 2 0 を動作させて、4 つの冗長ブロック 1 1 の各々について、使用する冗長線を決定するために必要最低限の異常ビットのアドレスペアのみをバッファ部 4 1 - 1 ~ 4 1 - 4 に格納する。

【0068】

(2) 次に、シフトレジスタ部 4 1 1 の左右のシフトレジスタの各ポイントを例えば一番上へ移し、リセット状態とする。図 7 には示していないが、第 1 実施例の場合と同様に、シフトレジスタ部 4 1 1 の左右のシフトレジスタに対してさらに上にもう 1 セット分フラグを追加して、このフラグによって Y 方向の冗長線 1 4 を使用しない状態を示すようにすることで、当該状態を考慮に入れるようにしても良い。

【0069】

(3) 次に、この状態で、左右のシフトレジスタの各ポイントが指す X アドレスをすべてのバッファ部 4 1 - 1 ~ 4 1 - 4 に通知し、同じ X アドレスを持つアドレスペアをリペアされたと仮定する。第 1 実施例の場合と同様に、リペアされたことを示す専用のビットを用意するようにしても良い。

【0070】

(4) 次に、上記 (3) の処理では、リペアされずに残ったアドレスペアについて、X 方向の冗長線 1 5 でマスク可能か否か確認する。マスク不可能であれば次へ進む。

【0071】

(5) 次に、右側のシフトレジスタのポイントをシフトさせる。ただし、このとき、フラグ部 4 1 2 のビット (X D ビット) が “1” になっていれば、この X アドレスは既にあったかこれから出てくるということを示しているなので、無視して

再度シフトする。

【0072】

(6) ここで、左右のシフトレジスタの各ポイントが指すXアドレスをすべてのバッファ部41-1～41-4に通知し、このXアドレスをもつアドレスペアをリペアされたと仮定する。

【0073】

(7) 次に、上記(6)の処理ではリペアされずに残ったアドレスペアがX方向の冗長線15でマスク可能か否かを、各バッファ部41-1～41-4のYアドレス確認部43-1～43-4によって確認する。このアルゴリズムは、第1実施例の場合と同じである。マスク不可能であれば次へ進む。

【0074】

(8) さらに、右シフトレジスタのポイントをシフトさせる。ポイントが一番下までいけば、左シフトレジスタのポイントをシフトさせる。この場合には、上記(5)と同様、フラグ部412のビット(XDビット)が“1”のところはスキップし、次へ移る。そして、右シフトレジスタのポイントを一番上に戻す。このとき、右シフトレジスタのポイントのシフトを、左シフトレジスタと同じシフト位置、あるいはそれよりもひとつ下からはじめても良い。

【0075】

(9) 以降、同様にマスク可能か否かを確認していく。マスク可能になれば、そのとき、左右のシフトレジスタのポイントが指すXアドレスがXのマスクアドレスである。最後まで行ってマスク可能にならなければ、マスク不可能である。

【0076】

上記の場合、ひとつのバッファ部内で同じXアドレスが複数ある場合は、XDビットを使用することによって、同じXアドレスを2度アクセスすることを防げるが、バッファ部を跨いで同じXアドレスが複数ある場合は、これを2度アクセスすることを防げない。よって、シフトレジスタ411をシフトするたびに当該シフトレジスタ411が示すXアドレスをすべてのバッファ部41-1～41-4に通知するが、その際、同じXアドレスを指すアドレスペアがあれば、そのXDビットを“1”にしていけば、同じXアドレスを2度にわたってアクセスす

ることはなくなる。

#### 【0077】

##### (第3実施例)

上記第1, 第2実施例では、Yアドレスを確認するために、Yアドレス格納部431として、Yアドレス確認部43-1~43-4にYアドレスを2つ格納できるバッファを用意するとしたが、図8に示すように、Y用シフトレジスタ413を設けて、このY用シフトレジスタ413を使用することも可能である。第3実施例では、このY用シフトレジスタ413を用いてYアドレスを確認する方法を採っている。

#### 【0078】

具体的には、Y用シフトレジスタ413をX方向の冗長線15の本数（ここでは2）だけ用意して、これを順次ひとつずつシフトしていく。その際、これが指すYアドレスと同じものをマスクする。マスクするには、例えばYテスト用マスクビット414を使用する。Y用シフトレジスタ413をシフトする際は、このYテスト用マスクビット414はクリアする。

#### 【0079】

そして、すべてのアドレスペアがXマスクアドレス、Yマスクアドレスによってマスクされたら、そのときY用シフトレジスタ413が指すYアドレスが、決定されたYマスクアドレスになる。Y用シフトレジスタ413のシフトの仕方は、第1, 第2実施例の場合と同様である。また、Xマスクアドレスでマスクされているアドレスペアについてはスキップするようにすれば、Yアドレスを確認する際の効率を向上できる。

#### 【0080】

##### (第4実施例)

第1~第3実施例では、冗長線がY方向（串刺し方向）に2本、X方向には各冗長ブロック11毎に2本ずつ配線されている場合を例に挙げて説明したが、第4実施例では、図9(a)に示すように、冗長線がX, Y方向に、即ち2次元的に串刺しの形で配線されている場合について説明する。ここでは、一例として、例えばX, Y方向各4個ずつの冗長ブロック11に対して冗長線14, 15が串

刺しの形で配線されている場合を例に挙げて説明する。

#### 【0081】

このように、2次元的に串刺しの構造になっている場合は、X方向の4個の冗長ブロックについて、Xアドレスに関して一つにまとめ、見かけ上、図9（b）に示すように、1つの冗長ブロックとみなすようにする。

#### 【0082】

実際には、例えば図9（a）に示すように、一番左側の冗長ブロックのXアドレスが0から127、次の冗長ブロックのXアドレスが128から255、その次の冗長ブロックのXアドレスが256から383、一番右側の冗長ブロックのXアドレスが384から511に対応しているとする、BISR回路30に異常（欠陥）ビットのアドレスを入力する際、Xアドレスに関して128で割った余りをアドレスとしてアドレス変換し、図9（b）に示すように、すべての冗長ブロックの異常ビットをXアドレスが0から127までのアドレスとしてBISR回路30に入力するようにすれば良い。

#### 【0083】

上述したように、X方向に並んだ4個の冗長ブロックの異常ビットをXアドレスが0から127までのアドレスとしてアドレス変換を行ってBISR回路30に入力することにより、複数の冗長ブロックに対して2次元の方向に冗長線が串刺しの形で配線した構造のメモリの場合にも、第1～第3実施例の場合と同様にして、オンチップにてリペアサーチを行い、マスクアドレスを決定することができる。

#### 【0084】

なお、本実施例では、X方向に4個並んだ冗長ブロックをアドレス変換によってひとつにまとめる方法について説明したが、Y方向に4個の冗長ブロックが並んだ場合についても同様である。また、個数が4個でない場合でも同様のことが言える。

#### 【0085】

#### 【発明の効果】

以上説明したように、本発明によれば、1次元方向の複数の冗長ブロックに亘

って冗長線が共有して使用される構造の場合、オンチップ上で冗長線のマスクアドレスが決定でき、よって完全なオンチップ上でのセルフリペアが可能となる。このことによって、工場出荷時に異常ビットのリペアを行うだけでなく、商品としてユーザーの手元に渡ったあとでも、電源ON時等にBISRを動かすことにより、異常ビットを救済できる確率が増えるという効果がある。

#### 【0086】

また、個々のメモリセルの良否を評価して得たアドレス情報のうち、異常セルと置換する冗長線を決定するために必要最低限のアドレス情報のみをバッファに格納するようにしたことで、評価したアドレス情報をすべて格納する場合に比べて、バッファ容量が少なくて済むため回路規模を小さくでき、またメモリ部と同一のチップ上においてリペアサーチが行われるため、処理の高速化を図ることができる。

#### 【図面の簡単な説明】

##### 【図1】

本発明の一実施形態に係る半導体記憶装置の構成を示すブロック図である。

##### 【図2】

RAMの構成の一例を示すブロック図である。

##### 【図3】

冗長線がY方向（串刺し方向）に2本、X方向に各冗長ブロック毎に2本ずつ配線された場合の構成を示すブロック図である。

##### 【図4】

リペアサーチ回路部の具体的な構成例を示すブロック図である。

##### 【図5】

リペアサーチ回路部での処理結果を示す図である。

##### 【図6】

第1実施例に係るBISR回路の構成例を示すブロック図である。

##### 【図7】

第2実施例に係るBISR回路の構成例を示すブロック図である。

##### 【図8】



第3実施例に係るバッファ部の構成例を示すブロック図である。

【図9】

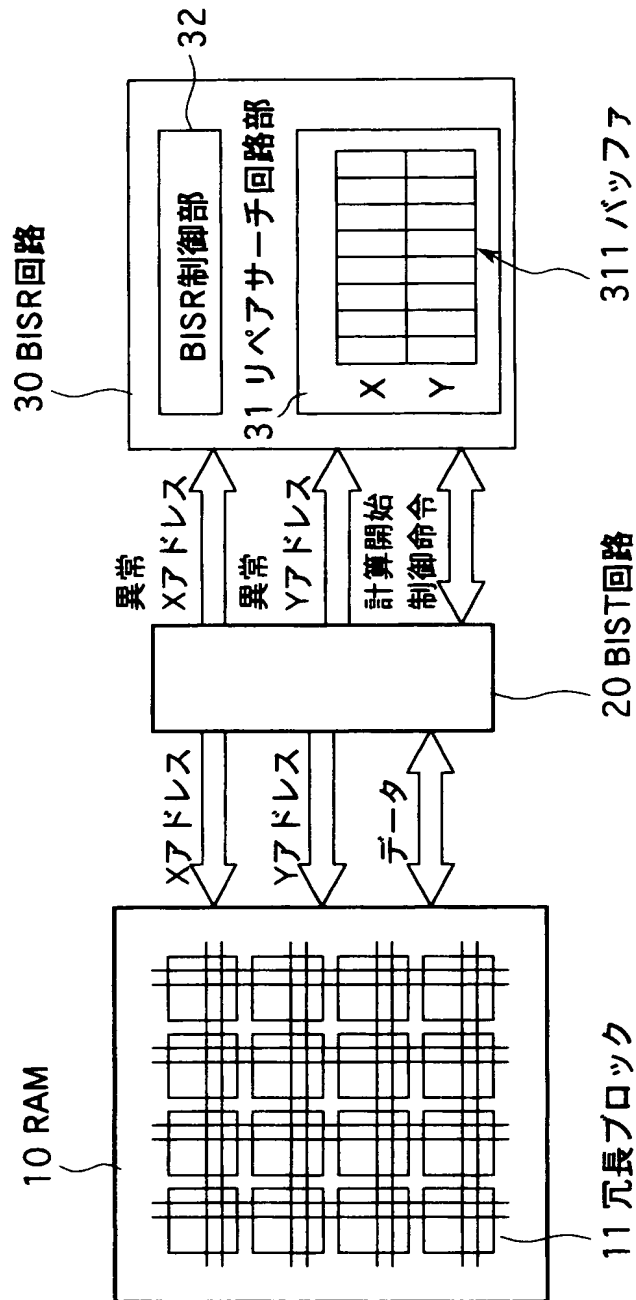
BISR回路の第4実施例に係る処理の説明に供する図である。

【符号の説明】

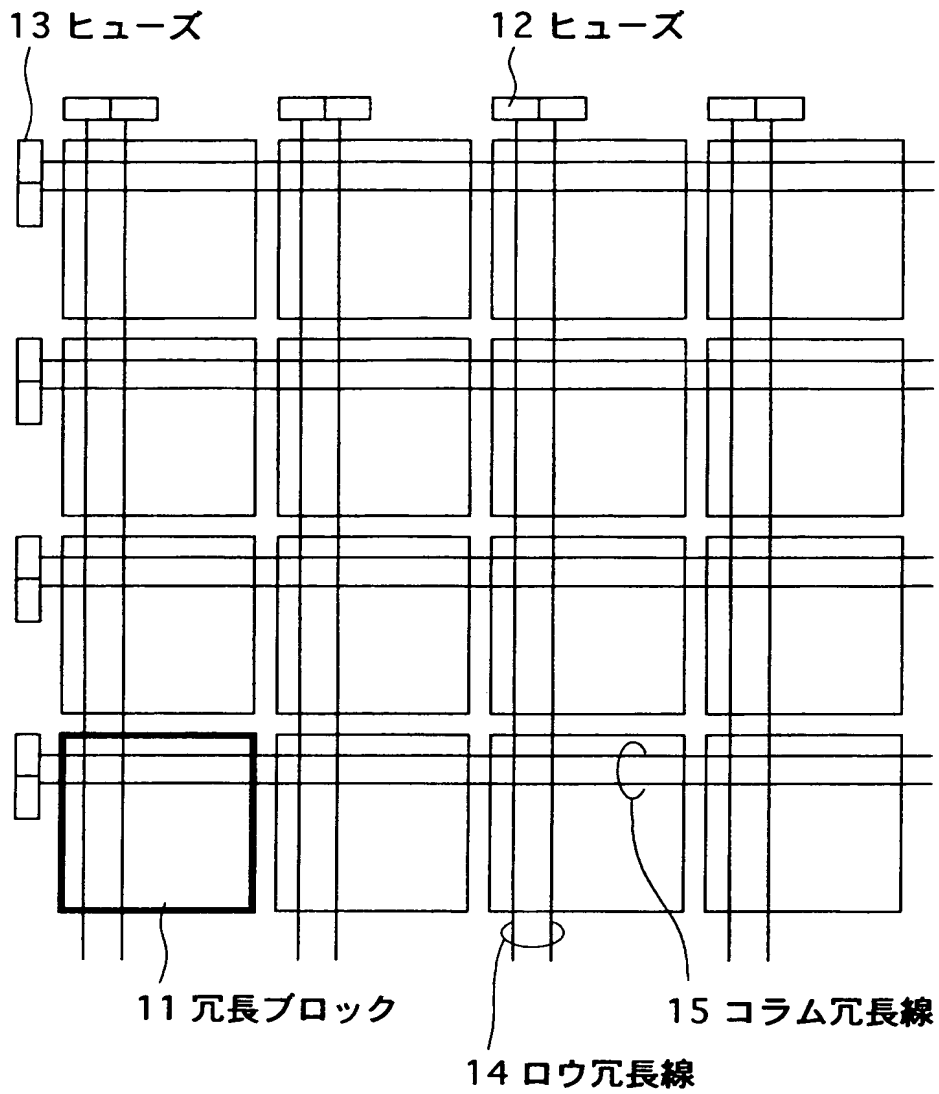
10…RAM、11…冗長ブロック、12, 13, 51…Alヒューズ、14  
…ロウ冗長線、15…コラム冗長線、20…BIST回路、30…BISR回路  
、31…リペアサーチ回路部、32…BISR制御部、41-1～41-4…バ  
ッファ部、42…Xマスクアドレス格納部、43-1～43-4…Yアドレス格  
納部

【書類名】 図面

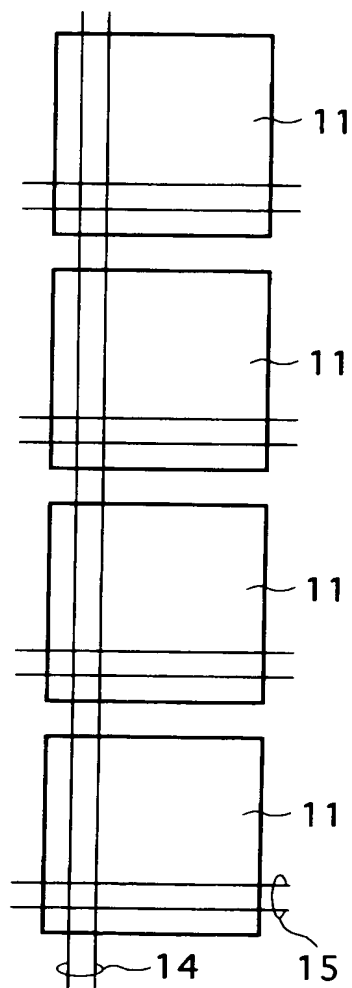
【図 1】



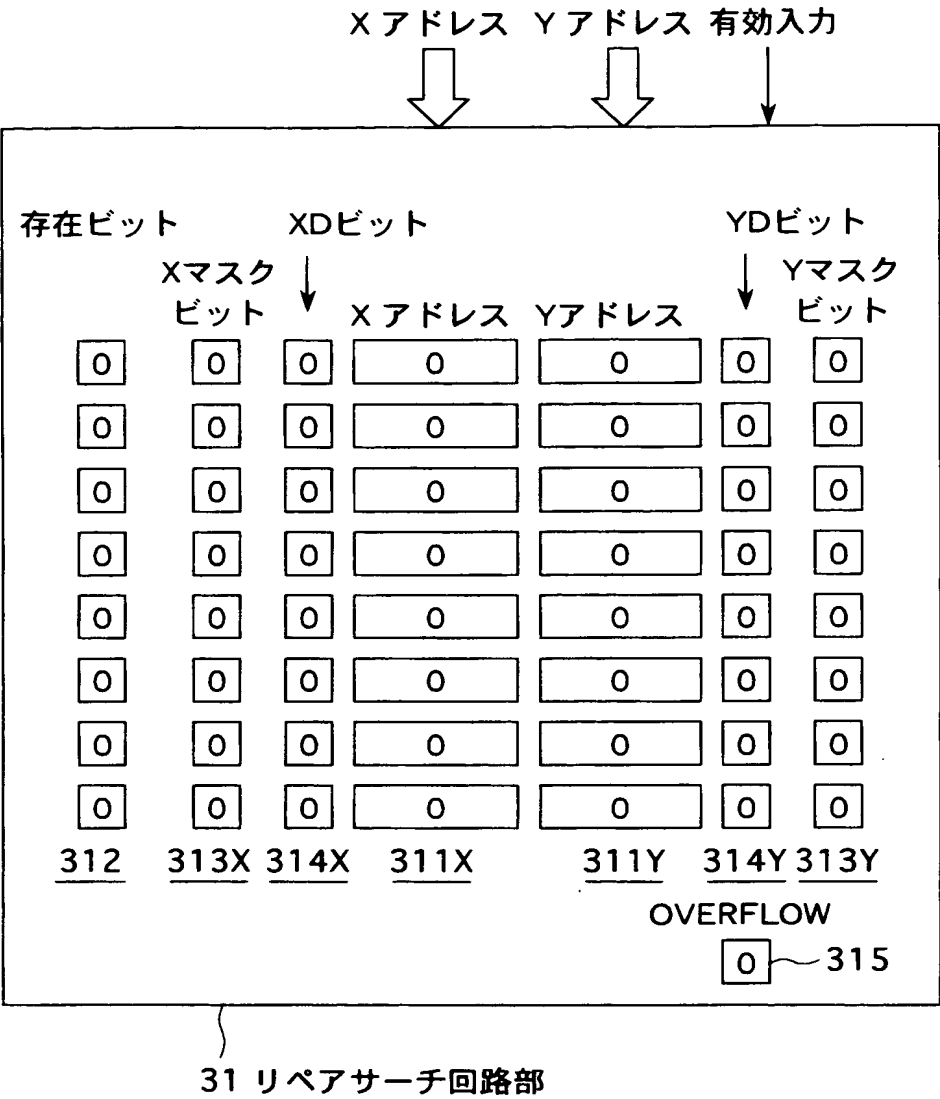
【図 2】



【図 3】



【図 4】



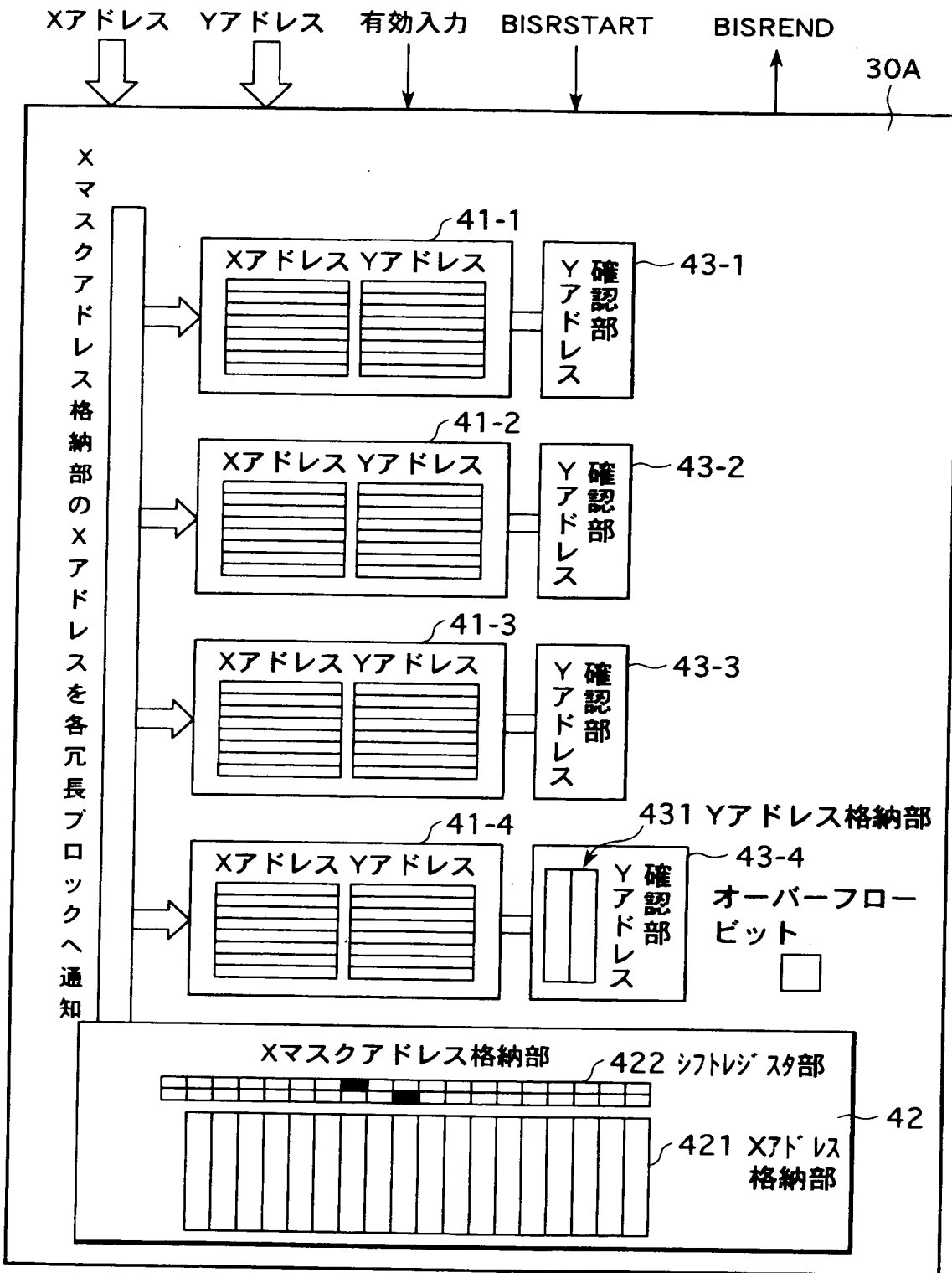
【図 5】

存在ビット	XDビット			YDビット		
	Xマスク ビット	↓ Xアドレス	Yアドレス	↓ Yマスク ビット	Yマスク ビット	
1	0	0	12	5	0	0
1	0	0	6	5	1	1
1	1	1	12	8	0	0
1	0	0	5	35	0	0
1	0	1	6	35	1	0

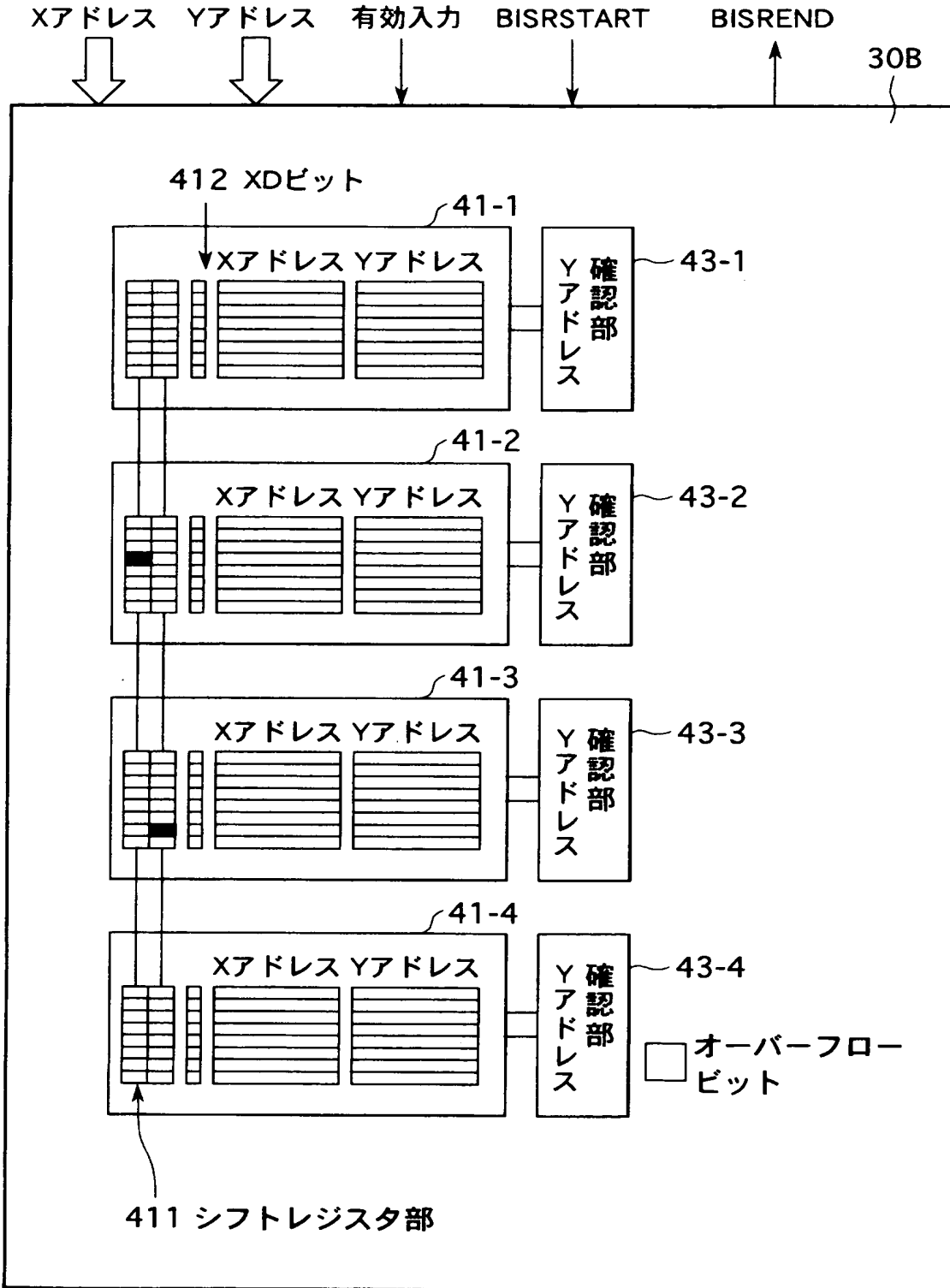
OVERFLOW

0

【図6】

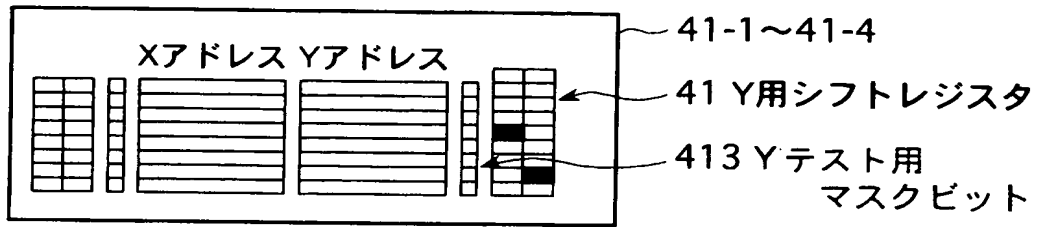


【図 7】

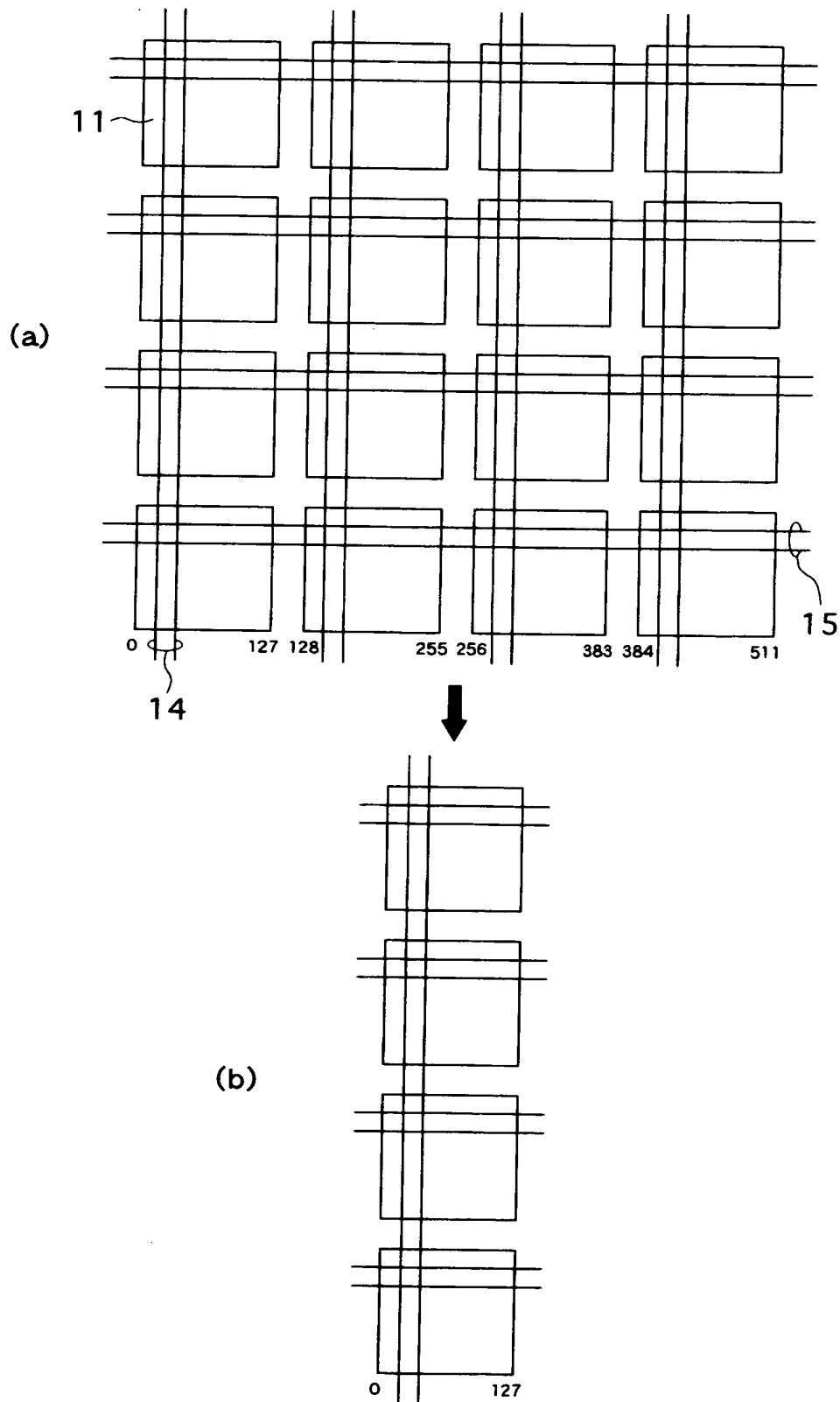




【図 8】



【図 9】





【書類名】 要約書

【要約】

【課題】 複数のメモリブロックに共通に串刺し状に冗長線を持たせ、リペアアドレス用のヒューズの個数を減らすことがある。しかし、複数のメモリブロック間の関係を考慮しながら冗長線のアドレスを決定しなければならず、オンチップでハードウェアによって冗長線のアドレスを決定する方法は提案されていない。

【解決手段】 冗長線が複数個の冗長ブロック 1 1 に対し行方向または列方向の 1 次元方向に串刺し状に共通して使用される構造を持つ R A M 1 0 を備えた半導体記憶装置において、R A M 1 0 と同じチップ上に B I S T 回路 2 0 および B I S R 回路 3 0 を搭載し、B I S R 回路 3 0 では B I S T 回路 2 0 から渡される異常セルの行、列アドレスペアのうち、異常セルをリペアする冗長線を決定するために必要最低限のアドレスペアのみを冗長ブロック 1 1 毎にバッファ 3 1 1 に格納する。

【選択図】 図 1

特願 2 0 0 3 - 1 2 6 5 2 0

出 願 人 履 歴 情 報

識別番号

[ 0 0 0 0 0 2 1 8 5 ]

1. 変更年月日

1 9 9 0 年 8 月 3 0 日

[変更理由]

新規登録

住 所

東京都品川区北品川 6 丁目 7 番 3 5 号

氏 名

ソニー株式会社